

**AUTOMATIC EXPOSURE TIME SETTING DEVICE FOR CAMERA
EQUIPPED WITH SOLID-STATE IMAGE PICKUP ELEMENT**

Patent Number: JP10304238
Publication date: 1998-11-13
Inventor(s): SAKAI SUMIO; MIO KOICHI
Applicant(s): TOSHIBA CORP; TOSHIBA AVE CORP
Requested Patent: ☐ JP10304238
Application Number: JP19970104828 19970422
Priority Number(s):
IPC Classification: H04N5/232 ; H04N5/335
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an automatic exposure time setting device for a camera equipped with a solid-state image pickup element by which a proper shutter speed is calculated for image pickup for a 1V period.

SOLUTION: Signal data in the unit of lines in a horizontal direction for a 1V period (the same vertical period) are read from a CMOS image sensor 6 based on pulses SIG1/SIG2 and SIG3/SIG4 (=shutter speed) outputted from an electronic shutter(ESR) generating circuit 7a provided inside a CMOS control IC 7 controlled by a microcomputer 5. The read signal is integrated for each shutter speed by automatic exposure time setting (AE) integrating devices 7b, 7c provided inside the CMOS control IC 7, the integration result is read by the microcomputer 5 and the microcomputer 5 calculates a proper shutter speed based on the integration result by the AE integration devices 7b, 7c.

Data supplied from the esp@cenet database - I2

AN

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-304238

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

H 0 4 N 5/232

5/335

識別記号

F I

H 0 4 N 5/232

5/335

Z

E

審査請求 未請求 請求項の数8 O L (全 10 頁)

(21) 出願番号

特願平9-104828

(22) 出願日

平成9年(1997)4月22日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 酒井 澄夫

埼玉県深谷市橋廻町1丁目9番2号 株式会社東芝深谷工場内

(72) 発明者 三尾 浩一

東京都港区新橋3丁目3番9号 東芝エー・ピー・イー株式会社内

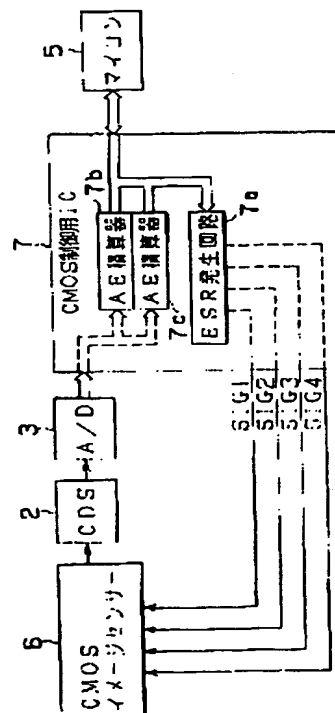
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 固体撮像素子を備えたカメラの自動露光時間設定装置

(57) 【要約】

【課題】 1V期間の撮像で適正なシャッタースピードを算出可能な、固体撮像素子を備えたカメラの自動露光時間設定装置を提供すること。

【解決手段】 マイコン5により制御されるCMOS制御用IC7の内部に設けられたESR発生回路7aより出力されるパルスSIG1、SIG2およびSIG3、SIG4 (=シャッタースピード) に基づいて、CMOSイメージセンサー6より、1V期間 (同一V周期) のH方向のライン単位の信号データが読み出される。読み出された信号は、前記CMOS制御用IC7の内部に設けられたAE積算器7b、7cによって、前記シャッタースピード毎に積算され、その積算結果がマイコン5に読み込まれ、前記AE積算器7b、7cの積算結果に基づいて、前記マイコン5により適正シャッタースピードが算出される。



【特許請求の範囲】

【請求項1】 行列に2次元に配列された複数の光電変換素子と、

該複数の光電変換素子を線単位で行方向に順次前記光電変換素子の交換動作を初期化し、所定期間経過後に該初期化後の該光電変換素子によって光電変換された交換信号を読み出す読み出し制御手段と、

前記初期化から読み出しまでの時間によって特定される露光時間を、前記光電変換素子の複数の行の読み出しの間に前記行方向に異なる値に複数設定する露光時間設定手段と、

前記読み出し手段からの撮像信号を前記露光時間毎にそれぞれ積算する複数の積算手段と、

前記複数の積算手段の積算結果に基づき、前記複数の露光時間から適当な露光時間の一つを選択する露光時間決定手段とを具備したことを特徴とする固体撮像素子を備えたカメラの露光時間自動設定装置

【請求項2】 水平方向及び垂直方向に2次元に配列された複数の光電変換素子と、

これら光電変換素子に第1のスイッチを介して接続され前記第1のスイッチを所定期間駆動することで該光電変換素子の交換動作による電荷を掃き出すリセット手段と、前記光電変換素子に第2のスイッチを介して接続され前記第2のスイッチが駆動されることで前記リセット手段によるリセットから該第2のスイッチが駆動されるまでの該光電変換素子の交換電荷を交換信号として読み出す読み出し手段と、

前記リセット手段と前記読み出し手段を水平方向の線単位で順次動作させる制御手段であって、前記リセットから読み出しまでの時間で特定される露光時間を、垂直方向に異なる複数の値に設定する制御手段と、

前記読み出し手段からの交換信号を前記露光時間毎にそれぞれ積算する複数の積算手段と、

前記複数の積算手段の積算結果に基づき、前記複数の露光時間から適当な露光時間の一つを選択する露光時間決定手段とを具備したことを特徴とする固体撮像素子を備えたカメラの露光時間自動設定装置。

【請求項3】 前記第1のスイッチは第1のレジスタで駆動され、前記第2のスイッチは第2のレジスタで駆動され、この第1及び第2のレジスタの組が前記複数の露光時間に対応して複数組設けられていることを特徴とする請求項2に記載の固体撮像素子を備えたカメラの露光時間自動設定装置。

【請求項4】 前記読み出し制御手段は、前記複数の光電変換素子の交換電荷を水平方向の線単位で読み出すべく、各行の水平方向の光電変換素子に対応して設けられた複数の電荷蓄積素子を含み、さらに各電荷蓄積手段に蓄積された電荷を信号として順次読み出す水平駆動手段を備えていることを特徴とする請求項1に記載の固体撮像素子を備えたカメラの露光時間自動設定装置。

【請求項5】 前記読み出し手段は、前記複数の光電変換素子の交換電荷を水平方向の線単位で読み出すべく、各行の水平方向の光電変換素子に対応して設けられた複数の電荷蓄積素子を含み、さらに各電荷蓄積手段に蓄積された電荷を信号として順次読み出す水平駆動手段を備えていることを特徴とする請求項1に記載の固体撮像素子を備えたカメラの露光時間自動設定装置。

【請求項6】 前記光電変換素子は、色フィルタを介して被写体像を撮像するように構成され、前記露光時間が隣接する2行単位で設定されることを特徴とする請求項1または2に記載の固体撮像素子を備えたカメラの露光時間自動設定装置。

【請求項7】 前記異なる露光時間が設定される複数の行が、行方向に所定期間で配置されるように構成されていることを特徴とする請求項1または2に記載の固体撮像素子を備えたカメラの露光時間自動設定装置。

【請求項8】 前記異なる露光時間が設定される複数の行によって、1垂直期間に必要な全ての行が構成されるものであることを特徴とする請求項1に記載の固体撮像素子を備えたカメラの露光時間自動設定装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は固体撮像素子を備えたデジタルスチルカメラ等の、自動露光時間設定(AE: automatic exposure)装置に関し、特に撮像素子として、CMOS (complementary metal oxide semiconductor: 相補型金属酸化物絶縁半導体) イメージセンサーを用いたカメラの自動露光時間設定装置の関する。

【0002】

【従来の技術】 従来、カラーカメラには撮像管が使用されてきた。これは、画像の画素をひとつひとつ考えるようなものではなく、いわゆる連続したアナログ信号であり、撮像管の光導電層に蓄積された画像情報は、隣接した水平方向の各情報間で、できる限り漏れを少なくするような構造で保存し、電子ビームの水平方向の連続走査によって連続信号として取り出していた。

【0003】 しかし、CCD (Charge Coupled Device: 電荷結合素子) に代表される固体撮像素子が開発されて以来、撮像管は放送局用や特殊用途用以外では用いられなくなり、ほとんどが固体撮像素子に置き換えられている。

【0004】 固体撮像素子の場合、前記撮像管と異なり、それぞれの画素ははっきりと独立した形で記憶されていて、撮像管の電子ビーム走査に相当するものは、クロックと呼ばれる読み出し用の基準になる連続パルスである。そして、各画素情報は信号電荷として蓄えられて、クロックパルスで順次転送され、読み出して並べられて、テレビジョン信号となる。

【0005】 一方、近年、CCDにかわる固体撮像素子として、CMOSイメージセンサーが開発製造されている。

る。このCMOSイメージセンサー（以下、単にCMOSセンサーともいう）は、LSIメモリやプロセッサと同じCMOSプロセスで作製される。このため、単電源で動作し、CCD撮像素子と比べ、超低消費電力（約1/10）で動作する。さらに、撮像部と素子駆動回路を1チップに集積でき、高密度な高精細画素を構成可能であるといった優れた特徴を有する。

【0006】図7は従来のCMOSイメージセンサーの内部構成を示した図である。図7における従来のCMOSイメージセンサーは、平面上の縦横に規則正しく配列された n 行 m 列（ n, m は自然数）のセル（フォトダイオード等の光電変換素子）10と、スイッチS1のオン・オフを制御し、各セル10に蓄えられた電荷を掃き出すV（垂直）シフトレジスター14aと、スイッチS2のオン・オフを制御して、各セル10に蓄えられた蓄積電荷をコンデンサ（C1～Cn）に掃き出させホールドするV（垂直）シフトレジスター14bと、前記各コンデンサ（C1～Cn）にホールドされた電荷をスイッチS3のオン・オフを制御し、図のH（水平）方向に順次読み出して、1H（1水平走査期間）分の信号として取り出すH（水平）シフトレジスター13とにより構成される。

【0007】また、垂直シフトレジスター14a、14bには、それぞれ各レジスターをクリアして蓄積電荷の掃き出し開始位置およびタイミングを決定するパルスSIG1と電荷の読み出し開始位置およびタイミングを決定するパルスSIG2と、垂直シフトレジスター14a、14bを駆動するクロックとして供給され電荷の掃き出しライン（行）および読み出しライン（行）を決定するパルスHPが加えられている。また、水平シフトレジスター13には、このレジスター13をクリアして水平読み出し開始のタイミングを決定するパルスHDと、レジスター13を駆動して水平方向の読み出し時間を決定するクロックパルスCLKが加えられている。パルスSIG、SIG2はそれぞれ垂直周期のパルスで、パルスHPは水平周期のパルスであり、パルスHDは、パルスHPを所定時間遅延したパルスである。

【0008】一方、図8は従来の自動露光時間設定装置を示すブロック図である。

【0009】図8における装置は、前述のCMOSイメージセンサー1と、光電変換によって生じた電位を抽出するためのCDS（correlation double sampling：相関2重サンプリング）回路2と、アナログ信号をデジタル信号に変換するA/D変換器3と、CMOSイメージセンサー出力を加算するAE積算器4aおよび電子シャッターによる電荷蓄積時間（シャッタースピード）を規定するためのパルス（SIG1、SIG2）を発生するESSR（electronic shutter）発生回路4bから成るCMOS制御用IC4と、AE積算器4bから供給される複数の積算結果から適正なシャッタースピードを算出

するマイコン5とにより構成される。

【0010】前記ESSR発生回路4aより出力されるパルス（SIG1、SIG2）の一例を図9に示す。

【0011】次に、図7、図8、並びに図9を参照しながら、従来の自動露光時間設定装置について説明を行う。

【0012】前記図7に示す如く、セル（フォトダイオード）10は電荷掃き出し用のMOSスイッチS1と信号読み出しスイッチS2にそれぞれ接続されている。Vレジスター14aは、パルスSIG1によりクリアされ、次のHPパルスで1ライン目のセル10に対応するスイッチS1のみをオンにする出力を発生する。Vレジスター14aの出力はHPパルスが加えられる度にV方向に順次1段ずつシフトし、その出力が発生しているラインのスイッチS1をオンにする。これにより、セル10は、その蓄積電荷をHPパルス間隔でライン単位でV方向に順次掃き出し、スイッチS1のオン制御が解除されると電荷を蓄積していく。

【0013】Vレジスター14bはパルスSIG2でクリアされ、次のHPパルスで1ライン目のセル10に対応するスイッチS2のみをオンにする出力を発生する。それによりそれまでセル10に蓄えられた電荷がコンデンサC1～Cnに移される。この電荷の量は、パルスSIG1とパルスSIG2の間隔に比例するものであるが、VレジスターV14a、bがHPパルスで駆動されるため、実際にはその間隔はHPパルス周期の整数倍となる。

【0014】レジスター13はHPパルスに対して若干遅れたタイミングで発生するHDパルスによりクリアされ、クロックCLKによって駆動されて各コンデンサC1～Cnに対応するスイッチS3の1のみをオンにする出力をH方向に順次出力し、これにより、コンデンサC1～Cnの電荷がクロックCLKの周波数に対応する速度でシリアルに読み出される。

【0015】次のHPパルスによって、次のラインのスイッチS2がオンとなり、同様にそのセル10の電荷が読み出され、Hレジスター13によってシリアル信号として出力される。

【0016】以上の動作がV方向に全てのセル10に対して行われ、1V期間の撮像信号が出力される。

【0017】パルスSIG1、2はそれぞれV周期で出力され連続的な撮像が行われるが、各コンデンサC1～Cnに読み出される電荷の量はパルスSIG1とSIG2の時間差に比例したものとなり、SIG1パルスに対するSIG2パルスの発生タイミングを制御することにより、セル10の電荷蓄積時間の制御、即ち、露光時間（シャッタースピード）の制御を行うことが可能であることがわかる。尚、Vレジスター14a、bがHPパルスによって駆動されるため、実際の露光時間はHPパルス周期の整数倍となる。

5

【0018】さて、マイコン5により制御されるC MOS制御用IC4は、内部に設けられたESR発生回路4aよりパルスSIG1、SIG2を出力することにより、Vレジスタ11a、11bをそれぞれ制御し、ライン単位でV方向に各セルの蓄積電荷を読み出してコンデンサC1、C2にホールドする。さらに、コンデンサC1、C2にホールドされた蓄積電荷は、Hレジスタ13によりH方向にスキヤンされて、1H分の信号が出力される。これをV方向に配置されるセルの数だけ繰り返し実施することで、全セル数（全画素）分の信号（蓄積電荷）がCDS回路2に出力される。

【0019】そして、CDS回路2の出力はA/D変換器3によりデジタル信号に変換され、前記A/D積算器1bにより全セル数分の蓄積電荷が積算され、マイコン5に出力されるようになっている。

【0020】AE測光処理は、以上のように、任意に設定したシャッタースピードに対し、C MOS制御用IC4内で、C MOSイメージセンサー1の出力の1V期間の信号データをA/D積算器4により積算し、その積算結果をマイコンに読み込む。この動作を任意に選択したm通りのシャッタースピード（例えば、1/2000秒、1/500秒、1/125秒、1/30秒、1/15秒の5通り）に対し繰り返し実施し、m通りの積算結果から、マイコンにより適正シャッタースピードを算出し、撮影することで適正露出による撮像を実現している。

【0021】ところで、上記従来方式におけるAE測光処理による適正シャッタースピードの算出（A/D測光処理）は、m通りのシャッタースピードによる積算処理をシリーズに実施しているため、積算処理をm回（C MOSイメージセンサー1により1V期間の撮像をm回）実施する必要があり、前記適正なシャッタースピードを算出するのに少なからぬ時間を要する。このため、瞬間的なシャッターチャンスを逃す恐れがあるという問題があった。

【0022】

【発明が解決しようとする課題】上記の如く、従来の自動露光時間設定装置において為されるAE測光処理、即ち、適正シャッタースピードの算出方法は、任意に選択したシャッタースピードm通りに対し、1V期間の撮像をm回繰り返し、それぞれ積算処理を実施する必要があり、前記適正なシャッタースピードを算出するのに所定の時間を要し、瞬間的なシャッターチャンスを逃す恐れがあるという問題（欠点）があった。

【0023】そこで、本発明はこのような問題に鑑み、自動露光時間設定装置において為される、A/D測光処理を高速化（1V期間の撮像で適正なシャッタースピードを算出し、瞬間的なシャッターチャンスを逃すことなく撮像が可能）、固体撮像素子を備えたカメラの自動露光時間設定装置を提供することを目的とするものである。

6

【0024】

【課題を解決するための手段】請求項1記載の発明による固体撮像素子を備えたカメラの自動露光時間設定装置は、行列に2次元に配列された複数の光電変換素子と、該複数の光電変換素子を線単位で行方向に順次前記光電変換素子の変換動作を初期化し、所定期間経過後に該初期化後の該光電変換素子によって光電変換された変換信号を読み出す読み出し制御手段と、前記初期化から読み出しまでの時間によって特定される露光時間を、前記光電変換素子の複数の行の読み出しの間に前記行方向に異なる値に複数設定する露光時間設定手段と、前記読み出し手段からの撮像信号を前記露光時間毎にそれぞれ積算する複数の積算手段と、前記複数の積算手段の積算結果に基づき、前記複数の露光時間から適当な露光時間の一つを選択する露光時間決定手段とを具備したことを特徴とするものである。

【0025】請求項2記載の発明による固体撮像素子を備えたカメラの自動露光時間設定装置は、水平方向及び垂直方向に2次元に配列された複数の光電変換素子と、これら光電変換素子に第1のスイッチを介して接続され前記第1のスイッチを所定期間駆動することで該光電変換素子の変換動作による電荷を掃き出すリセット手段と、前記光電変換素子に第2のスイッチを介して接続され前記第2のスイッチが駆動されることで前記リセット手段によるリセットから該第2のスイッチが駆動されるまでの該光電変換素子の変換電荷を変換信号として読み出す読み出し手段と、前記リセット手段と前記読み出し手段を水平方向の線単位で順次動作させる制御手段であって、前記リセットから読み出しまでの時間で特定される露光時間を、垂直方向に異なる複数の値に設定する制御手段と、前記読み出し手段からの変換信号を前記露光時間毎にそれぞれ積算する複数の積算手段と、前記複数の積算手段の積算結果に基づき、前記複数の露光時間から適当な露光時間の一つを選択する露光時間決定手段とを具備したことを特徴とするものである。

【0026】請求項3記載の発明による固体撮像素子を備えたカメラの自動露光時間設定装置は、請求項2に記載の固体撮像素子を備えたカメラの露光時間自動設定装置において、前記第1のスイッチが第1のレジスタで駆動され、前記第2のスイッチが第2のレジスタで駆動され、この第1及び第2のレジスタの組が前記複数の露光時間に対応して複数組設けられていることを特徴とするものである。

【0027】請求項4記載の発明による固体撮像素子を備えたカメラの自動露光時間設定装置は、請求項1に記載の固体撮像素子を備えたカメラの露光時間自動設定装置において、前記読み出し制御手段が、前記複数の光電変換素子の変換電荷を水平方向の線単位で読み出すべく、各行の水平方向の光電変換素子に対応して設けられた複数の電荷蓄積素子を含み、さらに各電荷蓄積手段に

10

20

30

40

50

蓄積された電荷を信号として順次読み出す水平駆動手段を備えていることを特徴とするものである。

【0028】請求項5記載の発明による固体撮像素子を備えたカメラの自動露光時間設定装置は、請求項1に記載の固体撮像素子を備えたカメラの露光時間自動設定装置において、前記読み出し手段が、前記複数の光電変換素子の変換電荷を水平方向の線単位で読み出すべく、各行の水平方向の光電変換素子に対応して設けられた複数の電荷蓄積素子を含み、さらに各電荷蓄積手段に蓄積された電荷を信号として順次読み出す水平駆動手段を備えていることを特徴とするものである。

【0029】請求項6記載の発明による固体撮像素子を備えたカメラの自動露光時間設定装置は、請求項1または2に記載の固体撮像素子を備えたカメラの露光時間自動設定装置において、前記光電変換素子が、色フィルタを介して被写体像を撮像するように構成され、前記露光時間が隣接する2行単位で設定されることを特徴とするものである。

【0030】請求項7記載の発明による固体撮像素子を備えたカメラの自動露光時間設定装置は、請求項1または2に記載の固体撮像素子を備えたカメラの露光時間自動設定装置において、前記異なる露光時間が設定される複数の行が、行方向に所定周期で配置されるように構成されていることを特徴とするものである。

【0031】請求項8記載の発明による固体撮像素子を備えたカメラの自動露光時間設定装置は、請求項1に記載の固体撮像素子を備えたカメラの露光時間自動設定装置において、前記異なる露光時間が設定される複数の行によって、1垂直期間に必要な全ての行が構成されるものであることを特徴とする。

【0032】請求項1乃至8に記載の発明によれば、AE測光処理1サイクル内(1V期間の撮像)で、複数のシャッタースピードにてH方向のライン単位での撮像を行って、前記各ライン毎のCMOSイメージセンサー出力を、各シャッタースピード別に設けられた複数の積算手段にてそれぞれ積算し、前記複数の積算手段により得られた複数の積算結果から、マイコンにより適正シャッタースピードを算出することにより、AE測光処理を1サイクルにて実施可能としたので、AE測光処理時間を大幅に短縮でき、これにより、瞬間的なシャッターチャンスに対応した(シャッターチャンスを逃すことなく)撮像が可能となる。

【0033】また、特に請求項6に記載の発明によれば、2ライン単位でシャッタースピードを複数設定できるようにしたので、V方向の隣接する2ライン単位で相関を有する、例えば、RGB原色ベイア配列の色フィルタ等を採用したCMOSイメージセンサー(CMOSカラーイメージセンサー)に対しても適用でき、AE測光処理時間を大幅に短縮でき、これにより、瞬間的なシャッターチャンスに対応した(シャッターチャンスを逃すこ

となく)撮像が可能となる。

【0034】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1は本発明のCMOSイメージセンサーの内部構成を示した図である。図1におけるCMOSイメージセンサーは、平面上縦横に規則正しく配列された n 行 m 列(n, m は自然数)のセル(フォトダイオード等の光電変換素子)10と、スイッチS1のオン・オフを制御して、各セル10に蓄えられた電荷を掃き出すVレジスタ11aと、スイッチS2のオン・オフを制御して、各セル10に蓄えられた蓄積電荷をコンデンサ(C1~Cn)に掃き出しホールドするVレジスタ11bと、スイッチS4のオン・オフを制御し、各セル10に蓄えられた電荷を掃き出すVレジスタ12aと、スイッチS5のオン・オフを制御して、各セル10に蓄えられた蓄積電荷をコンデンサ(C1~Cn)に掃き出し、ホールドするVレジスタ12bと、前記各コンデンサ(C1~Cn)にホールドされた電荷をスイッチS3のオン・オフを制御し、図1のH方向に順次に読み出して、1H(1水平走査期間)分の信号として取り出すHレジスタ13とにより構成される。

【0035】また、Vレジスタ11a、12aには、電荷の掃き出し開始位置およびタイミングを決定するハルスSIG1、SIG3がそれぞれそのクリア(CL.R)端子に加えられ、Vレジスタ11b、12bには、電荷の読み出し開始位置およびタイミングを決定するハルスSIG3、がそれぞれのクリア(CL.R)端子に加えられている。またVレジスタV11a、11b、12a、12bには、行(垂直)方向の読み出し位置(水平ライン)を決定するHPハルスが共通に加えられている。このHPハルスは各レジスタのクロックとして動作する。さらにHレジスタ13には、水平読み出し開始位置およびタイミングを決定するHDハルスがクリア(CL.R)端子に供給され、水平方向の読み出しを順次行わせるためのクロック(CLK)ハルスが加えられている。尚、前記ハルスSIG1およびSIG2の供給されるVレジスタのペア(Vレジスタ11a、11b)により第1のシャッタースピードが決定され、前記ハルスSIG3およびSIG4の供給されるVレジスタのペア(Vレジスタ12a、12b)により第2のシャッタースピードがそれぞれ決定される。

【0036】本実施の形態では、Vレジスタのペアを2つ設けることにより2つのシャッタースピードを設けているが、このVレジスタのペアを複数設けることによって、同一V周期におけるライン単位に、複数のシャッタースピードを設定することが出来る。尚、Vレジスタとセルの接続は、前記複数のシャッタースピードの設定数を1組として、V方向に繰り返されるように接続される。

【0037】一方、図2は本発明の自動露光時間設定装

置を示す図1、図2である。

【0038】図2における装置は、前述のCMOSイメージセンサーと、光電変換によって生じた電位を抽出するためのCDS回路2と、アナログ信号をデジタル信号に変換するA/D変換器3と、前記第1のシャッタースピードおよび第2のシャッタースピード毎のCMOSイメージセンサー出力を加算するAE積算器7b、7c（本実施の形態では2つ）および電子シャッターによる電荷蓄積時間（シャッタースピード）を規定するためのパルス（SIG1、SIG2）および（SIG3、SIG4）を発生するESR発生回路7aから成るCMOS制御用IC7と、AE積算器7bおよび7cから供給される同一V周期内における複数の積算結果から適正なシャッタースピードを算出するマイコン5により構成される。

【0039】前記ESR発生回路7aより出力されるパルス（SIG1、SIG2）および（SIG3、SIG4）の一例を図3に示す。図のt1およびt2は、それぞれパルス（SIG1、SIG2）およびパルス（SIG3、SIG4）によって設定されるシャッタースピード（シャッター時間）を示している。

【0040】次に、図1、図2、並びに図3を参照しながら、本発明の自動露光時間設定装置の動作について説明を行う。

【0041】マイコン5により制御されるCMOS制御用IC7は、内部に設けられたESR発生回路7aよりパルスSIG1、SIG2およびSIG3、SIG4を発生出力するとによりVレジスタ11a、11bおよびVレジスタ12a、12bをそれぞれ制御し、ライン単位でV方向に各セルの蓄積電荷を読み出して、コンデンサC1～Cnにホールドする。コンデンサC1～Cnにホールドされた蓄積電荷は、Hレジスタ13によりH方向に順次にスキャンされ、1H分の信号が出力される。これをV方向に配置されるセルの数だけ繰り返し実施することで、全セル数（全画素）分の信号（蓄積電荷）が、CDS回路2に出力される。

【0042】そして、CDS回路2の出力はA/D変換器3によりデジタル信号に変換され、前記AE積算器7b、7cにより、全セル数分のライン単位の信号がシャッタースピード別に積算され、マイコン5に出力されるようになっている。

【0043】本実施の形態によるAE測光処理では、以上のように、所定の値に設定された複数（本実施の形態では2つ）のシャッタースピードに対し、CMOS制御用IC7内で、CMOSイメージセンサー6の出力の1V期間（同一V周期）のライン単位の信号データを、AE積算器7b、7cによって、シャッタースピード毎に積算し、その積算結果がマイコン5に読み込まれ、前記AE積算器7b、7cの積算結果（本実施の形態では2つ）に基づいて、マイコン5により適正シャッタースピードが算出されるようになっている。このため、従来のAE測光処理と比べ、大幅なAE測光処理時間の短縮を実現している。

【0044】なお、前記適正シャッタースピードの算出は、マイコン5に読み込まれたAE積算器7b、7cの積算結果の内、理想値に近い側のAE積算器7bまたは7cに対応したシャッタースピードを前記適正シャッタースピードと定めてもよいし（この場合、AE積算器、即ちシャッタースピードの数が多ければ多いほど正確な適正値が得られる）、理想値に近い2つのAE積算器を検出し、この2つのAE積算器に対応したシャッタースピードから補間により理想シャッタースピードと求め、前記デジタルスチルカメラ等の有する（設定可能な）シャッタースピードの中から、この理想シャッタースピードに最も近いシャッタースピードを前記適正シャッタースピードと定めるようにしてもよい。

【0045】次に、CMOSイメージセンサーに、RGB原色ベイア配列による、色フィルタが採用された場合における、本発明の自動露光時間設定装置について説明を行う。

【0046】RGB原色ベイア配列の色フィルタを採用したCMOSイメージセンサーの出力信号は、V方向の隣接するライン間では異なる（相関を有しない）が2ライン単位では相関を有する。このため、2ライン単位でシャッタースピードを複数設定することで対応可能となる。その一例として、CMOSイメージセンサーのVレジスタのベアを既述の構成の2倍に増設した場合について、以下に説明を行う。

【0047】図4は本発明の他のCMOSイメージセンサーにおける内部構成を示した図である。図4におけるCMOSイメージセンサーは、平面上縦横に規則正しく配列されたn行m列（n、mは自然数）のセル（フォトダイオード等の光電変換素子）10と、その表面上に設けられたRGB原色ベイア配列の色フィルタと、各セル10に蓄えられた蓄積電荷を、スイッチS3のオン・オフを制御して、図のH方向に順次に読み出して、1H（1水平走査期間）分の信号として取り出すHレジスタ13とにより構成される。

【0048】また、Vレジスタ15a、15b、16a、16b、17a、17b、18a、18bおよびHレジスタ13には、それぞれ、蓄積電荷の掃き出し開始位置およびタイミングを決定するパルスSIG1、SIG1'、SIG3、SIG3'と、電荷読み出し開始位置およびタイミングを決定するパルスSIG2、SIG2'、SIG4、SIG4'と、水平（1Hライン）信号の読み出しライン（位置）を決めるパルスHPと、水平読み出し開始位置およびタイミングを決定するHDパルスと、水平読み出し速度を決定するパルスCLKとが加えられる。尚、前記パルスSIG1、SIG2の供給される第1のVレジスタのベア（Vレジスタ15

ら、15b)およびパルスSIG1'、SIG2'の供給される第2のVレジスタのペア(Vレジスタ16a、16b)は、第1のシャッタースピードを設定するように構成され、パルスSIG3、SIG4の供給される第3のVレジスタのペア(Vレジスタ17a、17b)およびパルスSIG3'、SIG4'の供給される第4のVレジスタのペア(Vレジスタ17a、17b)は、第2のシャッタースピードを設定するように構成されている。

【0019】本実施の形態では、Vレジスタのペアを1つ(シャッタースピードを2つ)としているが、このVレジスタのペアを複数(偶数倍)個設けることにより、同一V周期における1ライン単位に複数のシャッタースピードを設定することが出来る。尚、Vレジスタとセルの接続は、前記複数のシャッタースピード(シャッタースピードが重複する場合も含む)の設定数を1組として、V方向に繰り返されるように接続される。

【0020】一方、図5は本発明の他の実施の形態を示すブロック図である。同図における装置は、前述のCMOSイメージセンサー8と、光电変換によって生じた電位を抽出するためのCDS回路2と、アナログ信号をデジタル信号に変換するA/D変換器3と、前記第1乃至第4のVレジスタのペアの出力パルスによって出力されるCMOSイメージセンサー出力を加算する、AE積算器9b、9c、9d、9e(本実施の形態では4つ)および電子シャッターによる電荷蓄積時間(シャッタースピード)を規定するためのパルス(SIG1、SIG2)、(SIG1'、SIG2')および(SIG3、SIG4)、(SIG3'、SIG4')を発生するESR発生回路9aから成るCMOS制御用IC9と、AE積算器9b、9c、9d、9eから出力される、同一V周期内における複数の積算結果から、適正なシャッタースピードを算出するマイコン5とにより構成される。

【0021】前記ESR発生回路9aより出力されるパルス(SIG1、SIG2)、(SIG1'、SIG2')および(SIG3、SIG4)、(SIG3'、SIG4')の一例を図6に示す。図のt1およびt2は、それぞれパルス(SIG1、SIG2)、(SIG1'、SIG2')およびパルス(SIG3、SIG4)、(SIG3'、SIG4')によって設定されるシャッタースピード(シャッター時間)を示している。

【0022】次に、図1、図5、並びに図6を参照しながら、本発明の他の実施の形態の動作を説明する。

【0023】マイコン5により制御されるCMOS制御用IC9は、内部に設けられたESR発生回路9aよりパルスSIG1、SIG2、SIG1'、SIG2'、SIG3、SIG4、SIG3'、SIG4'を発生出力することにより、前記第1乃至第4のVレジスタをそれぞれ制御し、ライン単位で各セルの蓄積電荷を読み出

す。読み出された蓄積電荷は、Hレジスタ13によりH方向に順次にスキャンされ、1H分の信号が出力される。これをV方向に配置されるセルの数だけ順次に繰り返し実施することで、全セル数(全画素)分の信号(蓄積電荷)が、CDS回路2に出力される。

【0024】そして、CDS回路2の出力はA/D変換器3によりデジタル信号に変換され、前記AE積算器9b、9c、9d、9eにより、全セル数分のH方向のライン単位の蓄積電荷が、前記第1乃至第4のVレジスタのペアの出力パルスにより出力されるCMOSイメージセンサー8の出力毎に積算され、マイコン5に出力されるようになっている。

【0025】尚、図5において、ESR発生回路9aからCMOSイメージセンサー8へ、パルスSIG1'、SIG4'を供給する線路の途中に介在されたスイッチは、図1に示す1ライン単位でシャッタースピードを設定する場合と、図4に示す2ライン単位でシャッタースピードを設定する場合とで、パルスの供給を切り換えるためのスイッチである。2ライン単位でシャッタースピードを設定する場合は、パルスSIG1とSIG1'、SIG2とSIG2'、SIG3とSIG3'、SIG4とSIG4'がそれぞれ同じパルスとなるように切り換えられる。

【0026】本実施の形態によるAE測光処理では、以上のように、所定の値に設定された複数(本実施の形態では2つ)のシャッタースピードに対し、CMOS制御用IC9内で、CMOSイメージセンサー8の出力の1V期間(同一V周期)のライン単位の信号データを、AE積算器9b、9c、9d、9eにより積算し、その積算結果がマイコン5に読み込まれ、前記AE積算器9bとAE積算器9cの積算結果の和と、AE積算器9dとAE積算器9eの積算結果の和に基づいて、マイコン5により比較され適正シャッタースピードが算出される。このため、前述の実施の形態におけるAE測光処理と同様、従来のAE測光処理と比較して、大幅なAE測光処理時間の短縮を実現している。

【0027】尚、上記発明の実施の形態では、説明の都合上、2つのシャッタースピードによってAE測光処理を行う場合についてのみ説明したが、さらに多くのシャッタースピードによってAE測光処理を行うことにより、より正確なAE測光処理を行うことが可能である。

【0028】また、以上の説明では、AE積算器はA/D変換器の出力をそのまま積算するものとして説明したが、シャッタースピードに関与されるのが基本的に撮像した信号の明暗部分であるため、A/D変換器の出力から輝度信号成分を分離してそれを積算するように構成してもよいものである。

【0029】

【発明の効果】以上述べたように本発明によれば、適正シャッタースピードを算出するAE測光処理において、

10

20

30

40

50

同一周期内に複数のシャッタースピードによるAE積算結果が得られ、従来のAE測光処理に比べ、格段のAE測光処理時間の短縮が実現できる。また、これにより、瞬間的なシャッターチャンスに対応可能となる。

【図面の簡単な説明】

【図1】本発明のCMOSイメージセンサーの内部構成を示した図である。

【図2】本発明の固体撮像素子を備えたカメラの自動露光時間設定装置を示すブロック図である。

【図3】ESR発生回路7aより出力されるパルスの一例を示す図である。

【図4】本発明の他のCMOSイメージセンサーの内部構成を示した図である。

【図5】本発明の他の固体撮像素子を備えたカメラの自動露光時間設定装置を示すブロック図である。

【図6】ESR発生回路7aより出力されるパルスの一例を示す図である。

【図7】従来のCMOSイメージセンサーの内部構成を

示した図である

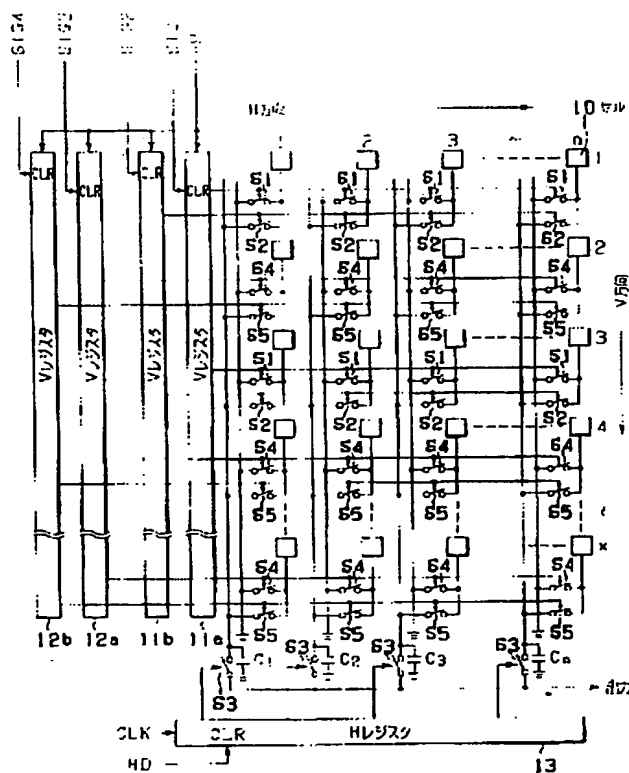
【図8】従来の固体撮像素子を備えたカメラの自動露光時間設定装置を示したブロック図である。

【図9】ESR発生回路4aより出力されるパルスの一例を示す図である。

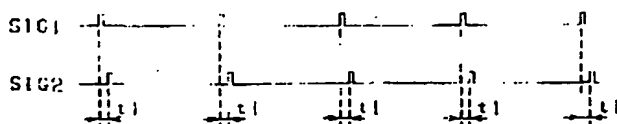
【符号の説明】

- 10 …セル（光電変換素子）
- 13 …Hレジスター
- 11a, 11b, 12a, 12b…Vレジスター
- S1, S4…MOSスイッチ（電荷掃き出し用）
- S2, S5…MOSスイッチ（信号読み出し用）
- C1～Cn…コンデンサ
- SIG1 …蓄積電荷掃き出し位置パルス
- SIG2 …電子シャッターの位置（電荷読み出し位置）パルス
- HP …水平（1Hライン）信号の読み出しライン（位置）指定パルス
- CLK …水平読み出し時間指示パルス

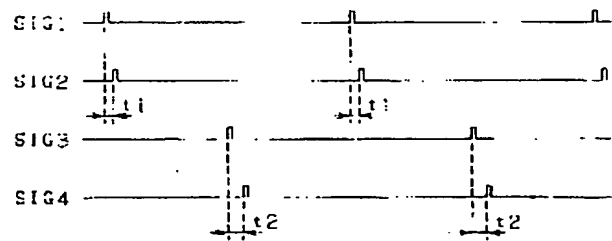
【図1】



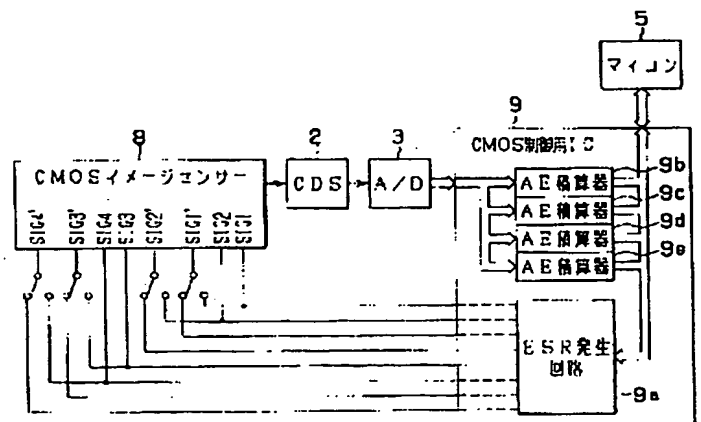
【図9】



【図3】



【図5】



[illegible]

Timing diagram showing eight digital signals (SIG1, SIG2, SIG1', SIG2', SIG3, SIG4, SIG3', SIG4') over time. The signals are organized into four pairs, each with a period of t_1 or t_2 . SIG1 and SIG2 have a period of t_1 . SIG1' and SIG2' have a period of t_1 . SIG3, SIG4, SIG3', and SIG4' have a period of t_2 . The signals are phase-shifted relative to each other.

【例8】

